

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-274088

(43)Date of publication of application : 05.10.2001

(51)Int.Cl.

H01L 21/20  
H01L 21/268  
H01L 29/786  
H01L 21/336

(21)Application number : 2001-055483

(71)Applicant : TRUSTEES OF COLUMBIA UNIV IN  
THE CITY OF NEW YORK

(22)Date of filing : 28.05.1996

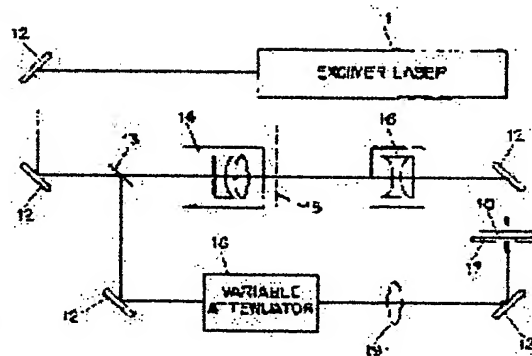
(72)Inventor : JAMES S IM

(54) CRYSTALLIZATION TREATMENT OF SEMICONDUCTOR FILM REGION ON SUBSTRATE  
AND DEVICE BEING MANUFACTURED THEREBY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a device for converting an amorphous semiconductor material to a high quality semiconductor crystal.

SOLUTION: A semiconductor integration device such as a transistor is formed by the film of a semiconductor material that is formed on a substrate. To improve device characteristics, the semiconductor material has regular and quasi-regular single crystal structure. The structure body is created by technique where one of laser radiation beams or several pulses are used for locally exposing the film to light, and the film is locally fused over entire thickness. After that, the fused material is locally coagulated from the seed region of the film. The semiconductor device includes the pixel controller and driver of a liquid crystal display, and/or an image sensor, a static random access memory(SRAM), a silicon on insulator(SOI), and a three-dimensional integration circuit device.



## LEGAL STATUS

[Date of request for examination]

28.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-274088

(P2001-274088A)

(43) 公開日 平成13年10月5日 (2001.10.5)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード (参考)

H 0 1 L 21/20

H 0 1 L 21/20

21/268

21/268

F

29/786

29/78

6 2 7 G

21/336

審査請求 有 請求項の数15 O L (全 9 頁)

(21) 出願番号 特願2001-55483(P2001-55483)

(62) 分割の表示 特願平9-542270の分割

(22) 出願日 平成8年5月28日 (1996.5.28)

(71) 出願人 500382473

ザ トラスティーズ オブ コロンビア

ユニヴァーシティ イン ザ シティ オ

ブ ニューヨーク

アメリカ合衆国 ニューヨーク州 10027

ニューヨーク ブロードウェイ アンド

ワンハンドレッドシックスティーンズ

ストリート (番地なし)

(74) 代理人 100072051

弁理士 杉村 興作 (外1名)

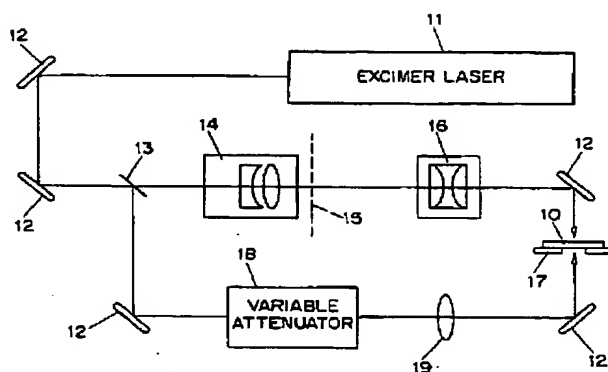
最終頁に続く

(54) 【発明の名称】 基板上の半導体膜領域の結晶化処理及びこの方法により製造されたデバイス

(57) 【要約】

【課題】 アモルファス半導体材料を良質な半導体結晶に変換する装置を提供する。

【解決手段】 トランジスタのような半導体集積化デバイスを、基板上に形成された半導体材料の膜で形成する。デバイス特性を改善するため、半導体材料は規則的な、準規則的な単一の結晶構造を有する。この構造体は、レーザ放射ビームの1個又は数個のパルスを用いて膜を局部的に露光し、この膜を全厚さにわたって局部的に溶解することを含む技術により作成する。その後、溶解した材料は膜の種領域から局部的に凝固する。半導体デバイスには、液晶表示装置の画素コントローラ及びドライバ並びに、イメージセンサ、スタティックランダムアクセスメモリ (SRAM)、シリコンオンインシュレータ (SOI)、及び3次元集積化回路デバイスが含まれる。



【特許請求の範囲】

【請求項 1】 基板上の半導体膜に横方向に延在する結晶領域を形成する装置であって、（a）パルス状の放射ビームを発生するパルス放射ビーム源と、（b）それぞれ半導体材料膜を露光するための予め定めた強度パターンを有すると共に前記半導体膜の露光された部分をその厚さ全体にわたって熔融させるための十分なエネルギーを有するマスクされた放射ビームパルス形成するビームマスクと、（c）前記半導体材料膜の少なくとも一部分がマスクされた放射ビームパルスにより露光される間に前記基板上の半導体材料の膜を保持すると共に、基板上の半導体材料膜をマスクされた放射ビームパルスに対して横切る方向に移動させるサンプル移動ステージとを具え、

前記サンプル移動ステージが第 1 の位置に位置する場合、前記半導体材料膜の第 1 の部分をマスクされた放射ビームパルスにより露光して、この第 1 の部分の半導体材料をその厚さ全体にわたって熔融し、第 1 の部分の半導体材料を凝固させて前記第 1 の部分の境界に沿って少なくとも 1 個の半導体結晶を形成し、当該半導体結晶を次の処理に対する直前の部分とし、

前記サンプル移動ステージが次の位置に移動し、この位置において、半導体材料の前記少なくとも 1 個の半導体結晶と部分的にオーバーラップする次の部分をマスクされた放射ビームパルスにより露光して前記半導体材料の次の部分をその厚さ全体にわたって熔融し、当該次の部分の熔融した半導体材料を凝固させて横方向に成長させることにより前記少なくとも 1 個の半導体結晶を拡大し、前記サンプル移動ステージが別の位置まで繰り返し移動し、その位置において、直前の部分が凝固した後、半導体材料膜の別の部分をマスクされたビームパルスにより露光し、各別の部分は直前の部分の少なくとも 1 個の半導体結晶と部分的にオーバーラップし、横方向に成長させることにより前記少なくとも 1 個の半導体結晶を所望の結晶領域が形成されるまで拡大させる装置。

【請求項 2】 請求項 1 に記載の装置において、前記パルス放射ビーム源をパルス発振するレーザとし、当該装置は、放射ビームパルスがレーザから前記ビームマスクまで伝搬する第 1 の光路を含む装置。

【請求項 3】 請求項 2 に記載の装置において、前記パルス発振するレーザをパルス発振エキシマレーザとした装置。

【請求項 4】 請求項 2 に記載の装置において、前記第 1 の光路が、前記レーザからの放射ビームパルスをビームマスクに投影する視野レンズを有する装置。

【請求項 5】 請求項 2 に記載の装置において、前記ビームマスクを投影マスクとした装置。

【請求項 6】 請求項 2 に記載の装置において、前記マスクを近接マスクとした装置。

【請求項 7】 請求項 2 に記載の装置において、前記マ

スクを接触マスクとした装置。

【請求項 8】 請求項 2 に記載の装置において、前記第 1 の光路が、レーザからの放射ビームパルスの強度を減衰させる可変減衰器を含む装置。

05 【請求項 9】 請求項 2 に記載の装置において、前記第 1 の光路が、少なくとも 1 個のビームステアリングミラーを含む装置。

【請求項 10】 請求項 1 に記載の装置において、パルス放射ビーム源をレーザとし、前記ビームマスクを投影マスクとし、さらに前記ビームマスクからサンプル移動ステージ上の半導体材料までマスクされた放射ビームパルスが伝搬する第 2 の光路を有する装置。

10 【請求項 11】 請求項 10 に記載の装置において、前記第 2 の光路が、マスクされた放射ビームパルスをサンプル移動ステージ上で露光される半導体材料膜の一部分上に集束させる対物レンズを含む装置。

【請求項 12】 請求項 10 に記載の装置において、前記第 2 の光路が、前記マスクされた放射ビームパルスを減衰させる可変減衰器を含む装置。

20 【請求項 13】 請求項 11 に記載の装置において、前記第 2 の光路が、少なくとも 1 個のビームステアリングミラーを有する装置。

【請求項 14】 請求項 1 に記載の装置において、前記ビームマスクが、各マスクされた放射ビームパルスの強度パターンを規定し、この強度パターンが前記半導体材料膜を露光する少なくとも 1 個の細条の形状を含む装置。

25 【請求項 15】 請求項 1 に記載の装置において、前記ビームマスクが、各マスクされた放射ビームパルスの強度パターンを規定し、この強度パターンが前記半導体材料膜を露光する少なくとも 1 個の山形の形状を含む装置。

【発明の詳細な説明】

【0001】技術分野

35 本発明は、半導体集積化デバイス用の半導体材料の処理方法に関するものである。

【0002】発明の背景

半導体デバイスは例えば水晶又はガラスの基板上のシリコンの層又は膜に形成することができる。この技術はイメージセンサ及びアクティブマトリックス液晶表示装置（AMLCD）のデバイスの製造に用いられる。後者の場合、適切に透明な基板上の薄膜トランジスタ（TFT）の規則的なアレイにおいて、各トランジスタは画素コントローラとして作用する。市販されている AMLCD デバイスにおいて、薄膜トランジスタは水和したアモルファスシリコン膜に形成される（a-Si:H TFT）。

45 【0003】 TFT のスイッチング特性を増強するため、アモルファスシリコンの代わりに多結晶シリコンが用いられている。多結晶構造体は、例えば堆積している

アモルファス又は微結晶シリコン膜をエキシマレーザで結晶化（ELC）することにより得られる。

【0004】しかしながら、ランダムに結晶化している多結晶シリコンを用いる場合、満足されない結果が生じてしまう。小さな粒子のポリシリコンの場合、例えばTFTのアクティブチャネル領域において多数の大きな角度の粒子境界によりデバイス性能が制限されてしまう。大粒子のポリシリコンはこの点に関しては優れているが、あるTFTに別のTFTと比べて顕著な粒子構造の不規則性が存在するとTFTアレイにデバイス特性の不均一性が生じてしまう。

#### 【0005】発明の概要

デバイス特性及びデバイスの不均一性を改善するため、基板上の半導体膜に横方向に凝固させる技術を適用する。この人為的に制御されるスーパラテラル成長（ACSLG）と称せられる技術は、例えばレーザビームパルスのような適当な放射パルスにより膜の一部を露光し、膜をその全厚さにわたって局部的に溶解することを含む。溶解した半導体材料が凝固すると、膜の予め定めた完全に溶解しなかった部分から結晶構造が成長する。この技術の第1の好適な実施例において、露光される構造体は基板により支持された第1の半導体膜、第1の半導体膜上の耐熱性膜、及び耐熱性膜上の第2の半導体膜を含む。この実施例において、構造体の前側及び後側の両方をパルスで露光する。

【0006】好適な第2の実施例において、横方向の凝固は、第1の領域からくびれた第2の領域を経てデバイス領域として意図した第3の領域へ進行する。この実施例では、基板を介して加熱する領域と関連して一方の側からの露光を用いる。好適な第3の実施例において、ビームを繰り返し照射し、放射パターンを横方向にステップ移動させて溶解及び凝固を繰り返すことにより拡大した単一結晶領域を形成する。有益なものとして、この技術は高速液晶表示装置の製造に用いることができ、その製造においては画素コントローラ及び／又はドライバ回路は単一結晶として又は規則的な／準規則的な多結晶膜として形成する。別の用途として、イメージセンサ、スタティックランダムアクセスメモリ（SRAM）、シリコンオンインシュレータ（SOI）デバイス、及び3次元集積化回路デバイスが含まれる。

#### 【0007】好適実施例の説明

以下において実験的に実現された特有の実施例及びその変形例について説明する。明示的又は内在的な数個の変形例は実施例と共通し、さらに請求の範囲内において別の変形例が当業者にとって自明である。例えば、ゲルマニウム、シリコンゲルマニウム、ゲルマニウム砒素又はインジウム燐のようなシリコン以外の半導体材料を用いることを含むものである。処理条件下における安定性、不活性及び耐熱性について考慮された例えばシリコン、水晶、ガラス又はプラスチックのような適切な材料

の基板を用いることも含むものである。例えば電子ビーム又はイオンビームのようなレーザビーム以外の放射ビームを用いることも含む。

#### 【0008】第1実施例

図1の投影露光装置は、エキシマレーザ11、ミラー12、ビームスプリッタ13、可変焦点視野レンズ14、パターン化された投影マスク15、2個の素子の結像レンズ16、サンプルステージ17、可変減衰器18、及び収束レンズ19を含んでいる。この投影装置を用いることにより、ステージ17上のサンプル10の前側面及び後側面に同時に放射パルスを供給することができる。

【0009】この技術の第1実施例の場合、図2に示すように、透明基板20、第1のアモルファスシリコン膜21、SiO<sub>2</sub>膜22、及び第2のアモルファスシリコン膜23を含む「二重層」（DL）サンプル構造体を用意した。アモルファスシリコン膜の膜厚は100nmとし、SiO<sub>2</sub>膜の膜厚は500nmとした。例えば窒化シリコン又は高温ガラスのような別の耐熱性材料を膜22に用いることができる。

【0010】第2のすなわち頂部シリコン膜23上にパターン投影を行い第1のすなわち底部シリコン膜21にブロードなビーム照射を行うと、第1のシリコン膜21は含まれる犠牲層として調整され、頂部シリコン膜23における横方向の結晶化速度を最大にすることができる。これらの膜の役割は、パターンを基板を介して第1の膜上に投影する場合、反転させることができる。パターンが投影された膜において、横方向に凝固した粒子が形成され、例えばTFT用に良好に適合した処理膜が形成される。

【0011】図2に基づく構造体は、アモルファスシリコン、SiO<sub>2</sub>トラックアモルファスシリコンを水晶基板上に順次低圧化学気相堆積することにより用意される。アモルファス又は微結晶堆積する別の適切な堆積方法には、例えばプラズマエンハンスド化学気相堆積（PECVD）、蒸着、又はスパッタリングが含まれる。

【0012】サンプルは図1の投影露光装置のステージ17上に配置する。マスク15は、10～100μmの種々の分離距離で50μm幅の簡単な細条のパターンを有する。

【0013】マスクパターンは3～6の範囲の種々の縮小倍率でサンプル上に投影する。後ろ側のエネルギー密度は可変減衰器18により制御する。サンプルは308nmの波長の30n秒XeClエキシマレーザを用いて室温で照射され、この波長域において水晶は透明である。このレーザは、Lambda Physik Compex 301の商品名で市販されている。ガラス基板の場合、例えば348nmのようなより長い波長が必要である。

【0014】ビーム照射は固定された前側エネルギー密度及び種々の後側エネルギー密度で行う。評価した前側

エネルギー密度はサンプル面で約  $1.0 \text{ J/cm}^2$  である。後側エネルギー密度は  $170 \sim 680 \text{ mJ/cm}^2$  である。照射に続いて試験を行うため、膜全体をセコ (Secco) エッチ剤を用いて欠陥エッチングを行い、走査型電子顕微鏡 (SEM) を用いて試験を行った。最も大きな不均一な粒子は  $510 \text{ mJ/cm}^2$  の後側エネルギー密度の場合に得られた。これらの粒子は細条状領域の 2 個の側から横方向に成長し、細条の中心線上に良好に規定された粒子境界で 2 本の粒子列を形成している。生じた個別の結晶体が TFT のアクティブチャネル領域全体を形成するのに十分でない場合でも、この結晶体は例えば図 3A 又は図 3B に図示するような TFT のアクティブチャネル領域として作用できる規則的な又は準規則的な多結晶構造体を形成する。ソース電極 31、ドレイン電極 32 ゲート電極 33 及びアクティブチャネル領域 34 を示す。図 3A において、アクティブチャネル領域は、上述したようにして生成された両方の粒子列を含む。図 3B のような十分に大きな粒子の場合、アクティブチャネル領域は粒子の単一系列として形成することができる。

【0015】第 1 の実施例による処理方法において、底部犠牲層 21 の役割は、ビームにより加熱する場合エネルギーを蓄積する加熱サセプタの役割として理解することができ、最大の効果はこの膜が熔融する場合に得られる。蓄積した熱は凝固中に解放される。これにより、頂部膜 23 が伝導により熱を喪失する程度が低減される。従って、最大の利点を得るためには、露光される構造体を適切な寸法にすることが重要である。SiO<sub>2</sub> 膜 22 が薄過ぎる場合、シリコン膜 21 及び 23 の放熱は一緒になってしまい、膜 21 を形成することによる利点を得られない。他方において、膜 22 が物理的なプロセスの熱拡散距離に対して厚過ぎる場合、膜 21 が頂部膜 23 の変換に対して不十分に作用することになる。底部膜 21 に関して、その厚さは、この膜が十分な熱量を有するように選択する必要がある。しかし、膜 21 がより厚い場合、この膜を熔融するのにより多くのエネルギーが必要となる。

【0016】シリコン層 23 上にパターンを露光する代わりに、例えば近接マスク、コンタクトマスク又はフォトリソグラフィによりパターン化された堆積したマスク層により所望のパターンを規定することができる。マスクングの変形例において、マスク層は例えば入射する放射を吸収又は反射することによりマスクの下側の領域での加熱を低減するように作用できる。或いは、適切な厚さの適当なマスク材料を用い場合、相補的な反射防止効果が実現され、付加的なエネルギーをマスク材料の下側の半導体膜に流入させることができる。例えば、SiO<sub>2</sub> 膜を用いてこの効果をシリコン膜に及ぼすことができる。この変形例は、マスク層が熔融した半導体材料に対する拘束部材として作用し、熔融半導体層が表面張力の

作用により塊に凝集したり変形するのを防止する利点がある。

#### 【0017】第 2 実施例

図 4 の露光装置は、エキシマレーザ 41、プリズム偏向器 42、集束レンズ 43、真空チャンバ 44 及びサンプルを配置するホットステージ 45 を含む。本発明の図 4 の露光装置を用いる第 2 の実施例において、図 5 のサンプル構造体は、基板 50、熱酸化膜 51、第 1 のパターン化されたアモルファスシリコン膜 52、SiO<sub>2</sub> 膜 53、第 2 のパターン化されたシリコン膜 54、及びさらに堆積した SiO<sub>2</sub> 膜 55 を含む。典型的な厚さは、熱酸化膜 51 については  $100 \text{ nm}$  とし、アモルファスシリコン膜 52 については  $100 \text{ nm}$  とし、SiO<sub>2</sub> 膜 53 については  $210 \text{ nm}$  とし、アモルファスシリコン膜 54 については  $120 \text{ nm}$  とし、SiO<sub>2</sub> 膜 55 については  $170 \text{ nm}$  とする。

【0018】このサンプル構造体はシリコンウェハ 50 上の熱酸化膜 51 上に低圧化学気相堆積 (LPCVD) によりアモルファスシリコン膜 52 を堆積することにより得られる。シリコン膜 52 にフォトレジストをコートし、その後ステッパにより露光し、現像し、さらにシリコン膜 52 を SF<sub>6</sub>/O<sub>2</sub> プラズマで反応性イオンエッチングを行いパターン形成を行う。シリコン膜 52 の第 1 レベルのアイランドの得られたパターンを図 6A に上方から見た図面として示す。このパターンは、デバイスとして使用される四角形の主アイランド領域 523、矩形の「テイル」領域 521、及びテイル領域 521 と主アイランド領域 523 とを結ぶ「ボトムネック」領域 522 の 3 個の領域で構成される。これらの寸法は以下のように選択する。テイル領域 521 については  $20 \times 10 \mu\text{m}$  とし、ボトムネック領域 522 については  $5 \times 3 \mu\text{m}$  とし、主アイランド領域 521 については  $10 \times 10 \mu\text{m}$  から  $50 \times 50 \mu\text{m}$  の範囲の異なる寸法とする。

【0019】第 1 レベルのアイランドにはプラズマエッチング (PECVD) により SiO<sub>2</sub> 膜 53 を形成し、上側にアモルファスシリコンを堆積する。フォトリソグラフィ処理を用いてアモルファスシリコンについてパターンニングを行い、 $5 \times 5 \mu\text{m}$  の寸法の「第 2 のレベルのアイランド」54 を形成する。第 2 レベルのアイランド 54 はテイル領域 521 の上側に直接位置し露光中のビーム遮光区域として作用する。最後に、この構造体全体に PECVD の SiO<sub>2</sub> 層を形成する。

【0020】処理を行うため、サンプルを  $10^{-5}$  トールの圧力の真空チャンバ内の耐熱性グラファイトのホットステージ上に配置する。別の適当な加熱装置を利用できる場合、真空処理を省略することができる。基板温度が  $1000 \sim 1200^\circ$  になるまで加熱を行い、これには約 3 分の立ち上がり時間を必要とする。露光する前にサンプルを最終的な基板温度に約 2 分間保持する。サンプルの温度は、直接取り付けた熱電対により間欠的にモニ

タすると共にデジタルの赤外線サーモメータにより連続的にモニタする。サンプルは、単一のエキシマレーザパルスを用いてテイル領域内のビーム遮光領域区域以外の全ての第1のレベルのアイランドが完全に溶解するのに十分高いエネルギー密度で露光する。

【0021】微細構造の分析を行うため、露光したサンプルをセコウ (Secco) エッチングを行った。1150°Cの基板温度で露光したサンプルの場合、セコウエッチングされたサンプルのノマルスキー顕微鏡写真は、20×20、40×40及び50×50μmのアイランドは単一結晶のアイランド (SCI) に完全に交換されているのを示している。エッチングされたサンプルの欠陥パターンは、主アイランド領域が、SLGの研究で認められている平面欠陥に加えて、ゾーンメルティングの再結晶化で観測されるものと同様な小角サブ境界を含むことを示唆している。1100°Cのような低い基板温度の場合、20×20μmの小さいアイランドだけが大き角粒界のない単一結晶のアイランドに変換された。1050及び1000°Cの一層低い基板温度の場合、20×20μmのアイランドに大き角粒界面が発生している。

【0022】この第2実施例の凝固過程は図6B～6Dに基づいて理解することができる。すなわち、露光に際して、第2レベルの四角形の領域54はこの領域に入射するビームエネルギーの大部分を遮光し、テイル領域521のビームが遮光された区域での完全な溶解が阻止される。露光された第1レベルの領域の残りの部分は、図6Bに示すように完全に溶解する。膜が基板を介して冷却されると、ビームが遮光された領域の液相-固相界面は冷却不足になり、シリコン粒子61がビーム遮光領域から外側に向けて急速に成長を開始する。テイル領域内において、多くの粒子61は素早く結びつき、1個又は数個の好ましく位置する粒子だけがボトルネック部522に向けて成長する。ボトルネック部522は、1個の粒子がボトルネック部を経て主アイランド領域523に拡張するような形態を有する。基板温度が十分に高く主アイランド領域523が急激に冷却された液中での凝集が防止されるほど小さい場合、ボトルネック部522を経て成長した1個の粒子の横方向の成長により主アイランド523全体が単一の結晶領域に変換される。

【0023】従って、主アイランド領域523の単一結晶形態への有用な変換は、基板温度とアイランド領域の大きさとの適切な組合せを必要とする。溶解したシリコンは、横方向凝固により完全に交換するために必要な特性時間よりも長い特定の体積を凝固させるための特性時間にわたって十分に高い温度に維持する必要がある。この特性変換時間は主として変換すべき距離すなわち主アイランドの横方向の寸法に依存するので、特性変換時間が液体中で凝固がトリガされる前に達成できる平均横方向成長距離に匹敵するようにアイランドの大きさを基

板温度に関係付ける必要がある。ゾーンメルティング再結晶と比較して、本発明の技術は例えば100nm又はそれ以下の厚さの極めて薄い膜を再結晶させることができる。

- 05 【0024】ビームを阻止する代わりに、第1の実施例について説明したように、反射防止膜を用いて相補的なマスキングにより種領域を規定することができる。或いは、露光により種領域を規定することができる。

#### 【0025】第3実施例

- 10 図7の投影露光装置は、エキシマレーザ71、ミラー72、可変焦点視野レンズ74、パターンが形成されたマスク75、2素子結像レンズ76、サンプルステージ77、及び可変減衰器78を含む。サンプル70はサンプルステージ77上に配置する。この装置を用いて鮮明な  
15 ビームを発生させることにより、順次横方向凝集 (SLS) プロセスで単一結晶のシリコン領域を段階成長させることができる。或いは、近接マスク又は接触マスクを用いてビーム成形することができる。

- 【0026】図8のサンプル構造体は、基板80、熱酸化膜81、及びアモルファスシリコン膜82を有する。  
20 以下の説明において、図9A～9F、第1の変形例の2個の例を示す図10A～10F及び第2の変形例を示す図11A～11Bを参照して第3実施例の技術を説明する。

- 25 【0027】本例において矩形にパターン化されているアモルファスシリコン膜82からスタートし (図9A)、2本の破線により境界されているシリコン膜82の領域91をパルスで露光し、この領域のシリコンを完全に溶解させ (図9B)、次に領域91の溶解シリコンを再凝固させる (図9C)。ここで、領域91は細条状とし、この領域91の露光はマスクされた露光により又は近接マスクを用いて行うことができる。領域91の溶解シリコンの再凝固に際し、2個の粒子列が領域91の破線の境界部から領域91の中央に向けて爆発的に成長する。2本の粒子列の成長は、最終の距離92に至る特有の横方向の成長である。領域91の残りの部分において、微細に粒子化した多結晶領域93が形成される。好ましくは、この細条の幅は、再凝固に際し2本の粒子列が集束することなく互いに近づくように選択する。本発  
30 明から除外されるものではないが、幅が広くなっても処理の効率に寄与することはない。幅を狭くすると望ましくない傾向にある。この理由は、以後の工程において長さを短くしなければならず、しかも凝固プロセス中に対向する方向から成長する粒子が一緒になる位置において半導体表面が不規則になる可能性があるためである。シリコン膜上に酸化キャップ層を形成し、凝集を遅くすると共にシリコン膜の表面の歪みを低減して表面を円滑に  
35 することができる。

- 【0028】露光される隣接領域はマスク投影又は近接マスクに対してサンプルを結晶成長の方向にシフト (ス  
50

テッピング) することにより規定される。シフトした  
(ステップ移動した) 領域 9 4 は図 9 D の 2 本の破線により境界される。シフトする距離は、露光される次の領域が前回露光した領域と重なって図 9 E に示すように一方の結晶の列が部分的に溶解する間に他方の結晶の列が完全に溶解するように設定する。再凝固に際し、部分的に溶解している結晶の列は、する。9 F に示すように、一層長くなる。この態様において、露光される部分を繰り返しシフトすることにより、所望の長さの単一結晶粒子を成長させることができる。露光された領域のパターンが単一細条でなく、図 10 A の破線で規定されるように山形状 10 1 である場合、図 10 B ~ 10 F に示す露光領域を同一の順序でシフトすることにより、シフトされた山形状パターンの縁部の頂部から粒子の成長が拡大する。このようにして、単一結晶の領域を幅及び長さを増大しながら成長させることができる。

【0029】大面積の単一結晶領域は、図 11 A に図示され、テイル領域 11 1、細いボトルネック領域 11 2 及び主アイランド領域 11 3 を有するパターン化されたアモルファスシリコン膜に順次シフト (ステップ状に) した露光領域を形成することにより成長させることができる。図 11 A ~ 11 C の領域 11 1、11 2 及び 11 3 の断面は、放射遮光アモルファスシリコン領域 5 4 及び第 2 の二酸化シリコン層 5 5 が存在しないことを除いて図 5 に示すものと同様である。マスクされた露光又は近接マスクにより規定された露光領域は図 11 A ~ 11 C の破線により境界された領域により図示されており、この図 11 はテイル領域 11 1 からボトルネック領域 11 2 を経て単一粒子を成長させて単一結晶のアイランド領域 11 3 を形成するための露光領域の順次の横方向シフト (ステップング) を示す。

【0030】図 9 A ~ 9 F、図 10 A ~ 10 F 及び図 11 A ~ 11 C の実施例の順次の横方向溶解及び再凝固は、水晶基板上にコートされ膜厚が 100 ~ 240 nm の二酸化シリコン上に化学気相堆積 (CVD) により堆積したアモルファスシリコン膜について行った。単一結晶細条の形成は、欠陥エッチングサンプルの光学式走査電子顕微鏡により確認した。

【0031】選択的なものとして、基板を加熱して溶解に必要なビームエネルギーを低減し又は 1 ステップ当たりの横方向の成長距離を増大することができる。この利点は、図 1 に示すステージ上のサンプルを 2 方向からの露光により実現することができる。

#### 【0032】別の処理及び用途

本発明により形成された半導体膜を用いることにより、例えばパターン規定、エッチング、不純物注入、絶縁層の堆積、コンタクト形成、及びパターン化された金属層

の相互接続のような良好に確立された別の技術により集積化された半導体デバイスを製造することができる。好適な薄膜半導体トランジスタにおいて、少なくともアクティブチャネル領域は、例えば図 3 A 及び 3 B に示す単一結晶の規則的な又は少なくともほぼ規則的な微細構造を有する。特に注目すべきことは、図 12 に線図的に示す液晶表示装置にこのような TFT が含まれることである。このデバイスは、少なくとも表示窓部分 121 が透明な基板 120 を含む。この表示窓含む 121 は画素 122 の規則的なアレイを含み、各画素は TFT 画素コントローラを含む。各画素コントローラはドライバ 123 により個別にアドレスされることができる。好ましくは、画素コントローラ及び/又はドライバ回路は本発明の技術に基づいて形成した半導体材料で形成する。別の用途として、イメージセンサ、スタックランダムアクセスメモリ (SRAM)、シリコンオンインシュレータ (SOI) デバイス、及び三次元集積回路デバイスが含まれる。

#### 【図面の簡単な説明】

【図 1】 図 1 はこの技術の第 1 実施例として用いることができる投影露光装置の線図である。

【図 2】 図 2 は第 1 実施例のためのサンプル構造体の拡大した線図的側面図である。

【図 3】 図 3 A 及び 3 B は第 1 実施例の半導体材料に形成することができる TFT デバイスの微細構造体の拡大した線図的上面図である。

【図 4】 図 4 はこの技術の第 2 の実施例で用いることができる露光装置の線図である。

【図 5】 図 5 は第 2 実施例のサンプル構造体の拡大した線図的側面図である。

【図 6】 図 6 A ~ 6 D は順次の処理工程における図 5 のサンプル構造体の線図的上面図である。

【図 7】 図 7 は第 3 実施例に用いることができる露光装置の線図である。

【図 8】 図 8 は第 3 実施例のサンプル構造体の拡大した線図的側面図である。

【図 9】 図 9 A ~ 9 F は処理の第 1 の変形例の第 1 の形式の順次の工程における図 8 のサンプル構造体の線図的側面図である。

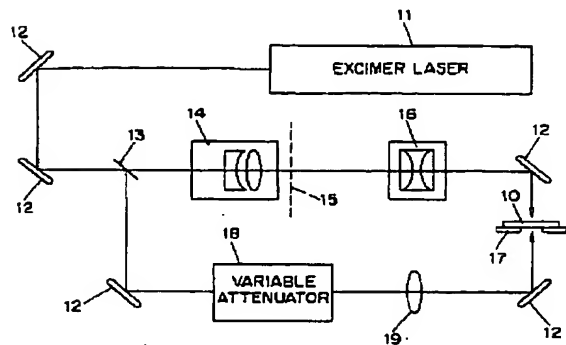
【図 10】 図 10 A ~ 10 F は処理の第 1 の変形例の第 2 の形式の順次の工程における図 8 のサンプル構造体の線図的側面図である。

【図 11】 図 11 A ~ 11 C は処理の第 2 の変形例の順次の工程におけるサンプル構造体の線図的側面図である。

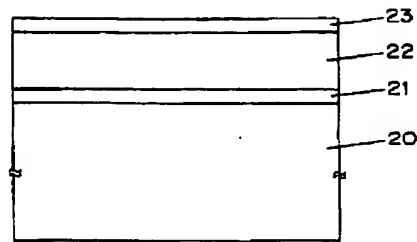
【図 12】 図 12 は TFT が含まれている液晶表示装置の線図的上面図である。



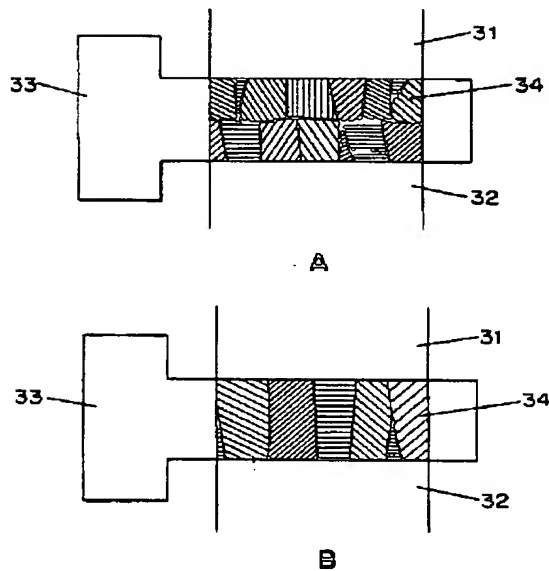
【図 1】



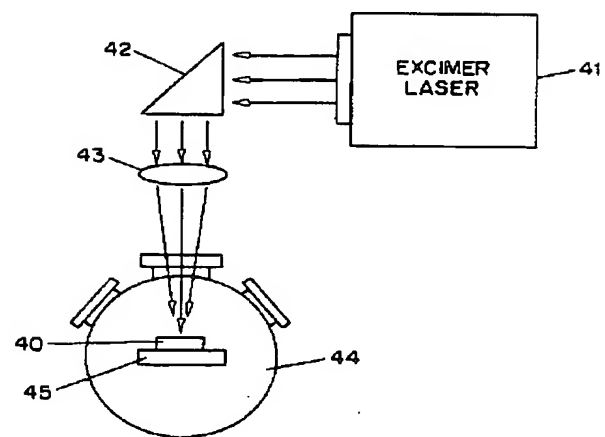
【図 2】



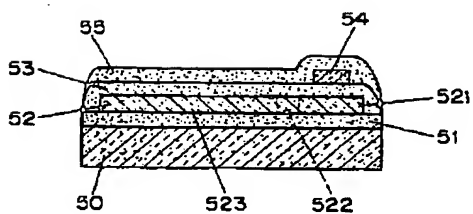
【図 3】



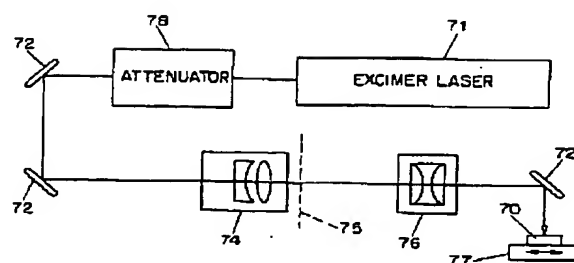
【図 4】



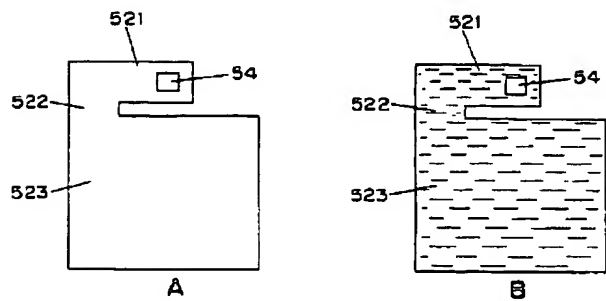
【図 5】



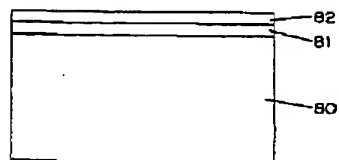
【図 7】



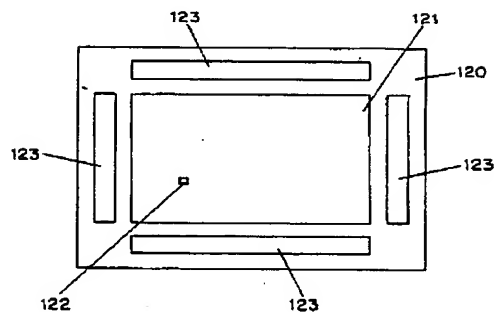
【図6】



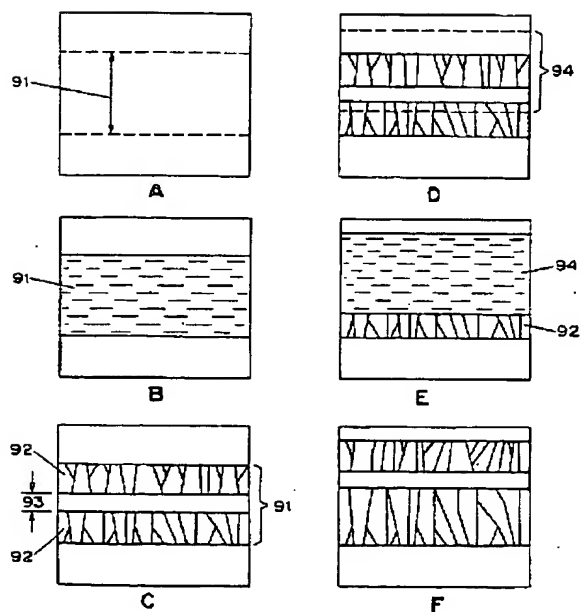
【図8】



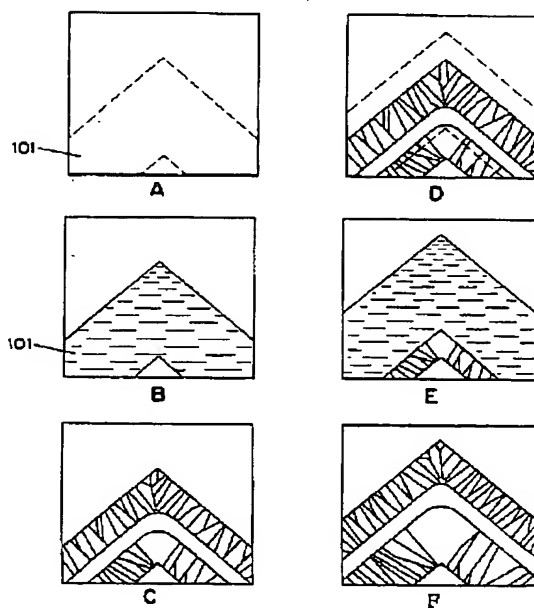
【図12】



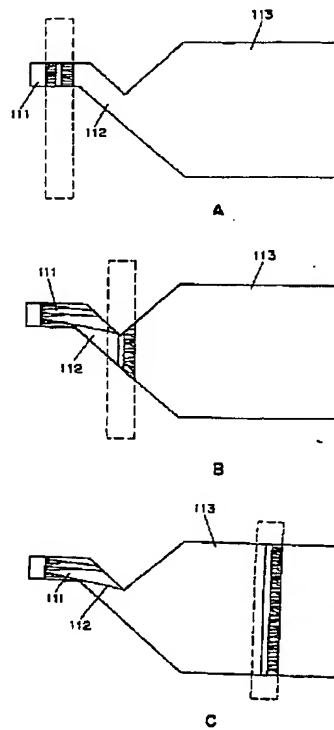
【図9】



【図10】



【図 11】



フロントページの続き

(72)発明者 ジェイムス エス イム  
アメリカ合衆国 ニューヨーク州 10027  
-6699 ニューヨーク ダブリュー ワン  
ハンドレッドフォーティーン ストリー  
ト520 アpartment ナンバー 74

30